

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-260938

(43) 公開日 平成11年(1999) 9月24日

(51) IntCl <sup>7</sup>	識別記号	FI	
H01L 21/8247		H01L 29/78	371
29/788			
29/782			

審査請求 未請求 請求項の数 8 OL (全 7 頁)

(21) 出願番号	特願平11-15884
(22) 出願日	平成11年(1999) 1月25日
(31) 優先権主張番号	09/014090
(32) 優先日	1998年1月27日
(33) 優先権主張国	米国 (US)

(71) 出願人	598077259 ルーセント テクノロジーズ インコーポ レイテッド Lucent Technologies Inc. アメリカ合衆国 07974 ニュージャージ ー、マレーヒル、マウンテン アベニュー 800-700
(72) 発明者	リチャード ウィリアム グレゴール アメリカ合衆国, 32789 フロリダ、ウィ ンターパーク、ウォーターフォール レイ ン 380
(74) 代理人	弁理士 三橋 弘文

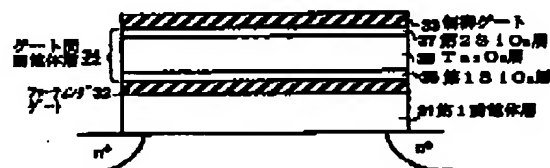
最終頁に続く

(54) 【発明の名称】 MOSシリコンデバイスの製造方法

(57) 【要約】

【課題】 ゲート構造体を構成する誘電体材料の材料と  
その製造方法を変更することにより積層型のフローティ  
ングゲート構造体の特性を改善する。

【解決手段】 本発明によるフローティングゲート構造  
体は、フローティングゲート32と制御ゲート33との  
間に形成された少なくとも3層からなる合成物34であ  
る。この合成物34は、第1のSiO<sub>2</sub>層35とTa<sub>2</sub>O<sub>5</sub>  
層36と第2のSiO<sub>2</sub>層37とかから構成される。



(2)

特開平11-260938

1

## 【特許請求の範囲】

【請求項1】 (a) シリコン製基板上に第1誘電体層(31)を形成するステップと、

(b) 前記第1誘電体層(31)の上にシリコン製フローティングゲート(32)を形成するステップと、

(c) 前記シリコン製フローティングゲート(32)の上に第2誘電体層(34)を形成するステップと、

(d) 前記第2誘電体層の上にシリコン製制御ゲート(33)を形成するステップと、からなるMOSシリコンデバイスの製造方法において、

前記第2誘電体層(34)は $\text{SiO}_2\text{-Ta}_2\text{O}_5\text{-SiO}_2$ の合成層からなり、この前記第2誘電体層(34)は、

(i) 前記シリコン製フローティングゲート(32)の上に厚さが10～30Åの範囲にある第1 $\text{SiO}_2$ 層(35)を成長させるステップと、

(ii) 前記第1 $\text{SiO}_2$ 層(35)の上に厚さが30～100Åの範囲にある $\text{Ta}_2\text{O}_5$ 層(36)を堆積するステップと、

(iii) 前記 $\text{Ta}_2\text{O}_5$ 層(36)の上に厚さが5～30Åの範囲にある第2 $\text{SiO}_2$ 層(37)を堆積するステップで形成され、

前記 $\text{SiO}_2\text{-Ta}_2\text{O}_5\text{-SiO}_2$ の合成層である第2誘電体層(34)の全体の厚さは、45～150Åの範囲内にあることを特徴とするMOSシリコンデバイスの製造方法。

【請求項2】 (e) 前記 $\text{SiO}_2\text{-Ta}_2\text{O}_5\text{-SiO}_2$ の合成層を550℃～750℃の範囲の温度でアニールするステップをさらに有することを特徴とする請求項1記載の方法。

【請求項3】 前記(i)～(iii)のステップはLPCVDリアクター内で実行され、各ステップは、インシチュ(in situ)で実行されることを特徴とする請求項2記載の方法。

【請求項4】 前記シリコン製フローティングゲートとシリコン製制御ゲートは、ポリシリコン製であることを特徴とする請求項3記載の方法。

【請求項5】 前記第1誘電体層は、 $\text{SiO}_2$ 製であることを特徴とする請求項4記載の方法。

【請求項6】 (a) シリコン製基板上に第1誘電体層を形成するステップと、

(b) 前記第1誘電体層の上にシリコン製フローティングゲートを形成するステップと、

(c) 前記シリコン製フローティングゲートの上に第2誘電体層を形成するステップと、

(d) 前記第2誘電体層の上にシリコン製制御ゲートを形成するステップと、からなるMOSシリコンデバイスの製造方法において、

前記第2誘電体層は、 $\text{SiO}_2\text{-Ta}_2\text{O}_5\text{-SiO}_2$ の合成層からなり、

2

この前記第2誘電体層は、

(i) 前記シリコン製基板をLPCVDリアクター内に配置するステップと、

(ii) 前記シリコン製基板を700～950℃の範囲の温度に加熱するステップと、

(iii) 前記シリコン製フローティングゲートの上に厚さが10～30Åの範囲にある第1 $\text{SiO}_2$ 層を、酸素含有雰囲気中で0.7～1.0Torrの圧力範囲内で成長させて形成するステップと、

10 (iv) 前記シリコン製基板の温度を300～500℃の温度範囲に調整するステップと、

(v) 前記LPCVDリアクター内の圧力を50～200mTorrの範囲に調整するステップと、

(vi) 前記第1 $\text{SiO}_2$ 層の上に厚さが30～100Åの範囲にある $\text{Ta}_2\text{O}_5$ 層を堆積するために、ブリーカーサガスを前記LPCVDリアクター内に導入するステップと、

(vii) 前記シリコン製基板の温度を500～750℃の温度範囲に調整するステップと、

20 (viii) 前記LPCVDリアクター内の圧力を150～350mTorrの範囲に調整するステップと、

(ix) 酸化物ブリーカーサガスを、前記LPCVDリアクター内に導入し、前記 $\text{Ta}_2\text{O}_5$ 層の上に厚さが5～30Åの範囲にある第2 $\text{SiO}_2$ 層を堆積するステップと、

これにより $\text{SiO}_2\text{-Ta}_2\text{O}_5\text{-SiO}_2$ の合成層が形成され、

(x) 前記シリコン製基板の温度を550～750℃の温度範囲に調整するステップと、

30 (xi) 前記LPCVDリアクター内の圧力を0.7～1.1Torrの範囲に調整するステップと、

(xii) 前記 $\text{SiO}_2\text{-Ta}_2\text{O}_5\text{-SiO}_2$ の合成層を10分～100分の間、アニールするステップと、から形成され、

これにより $\text{SiO}_2\text{-Ta}_2\text{O}_5\text{-SiO}_2$ の合成層である第2誘電体層の全体の厚さが45～150Åの範囲内にあることを特徴とするMOSシリコンデバイスの製造方法。

【請求項7】 前記(xii)の間のLPCVDリアクター内の雰囲気は $\text{O}_2$ と $\text{N}_2$ からなるグループから選択されたものであることを特徴とする請求項6記載の方法。

【請求項8】 前記(ii)のステップの温度は、800～900℃の範囲内であり、

前記(iii)ステップの圧力は、0.8～0.9Torrの範囲内であり、

前記(iv)ステップの温度は、375～430℃の範囲内であり、

前記(v)ステップの圧力は、75～150mTorrの範囲内であり、

50 前記(vii)ステップの温度は、600～700℃の

(3)

特開平11-260938

3

範囲内であり、

前記(viii)ステップの圧力は、200~300mTorrの範囲内であり、

前記(x)ステップの温度は、600~700℃の範囲内であり、

前記(xi)ステップの圧力は、0.8~1.0Torrの範囲内であることを特徴とする請求項6記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、積層型のゲートプログラムブルIGFETデバイスの読み出し-書き込み電圧を低減する制御ゲート構造体に関する。

【0002】

【従来の技術】シリコンデバイスが小さくなり、その動作速度が上がるにつれて、リーク電流と信頼性の問題が発生してくる。フラッシュメモリにおいては、高速のプログラム記入/消去時間と動作電圧の低減が、シリコンデバイスの開発が直面している大きな問題である。動作電圧が限られた状況の下では、デバイスの設計者の主要な選択的事項としては、低電力と高速度の間のトレードオフである。動作電圧は、電流生成技術に対しては一定のデバイスの寸法に従って変わる。かくしてデバイスを改良するのに残されたもっとも有力なオプションは、フローティングゲートのキャパシタンスを増加することにより、結合比率を増加させることである。

【0003】フローティングゲートのキャパシタンスを増加させる主な方法は、ゲート間の誘電体層の厚さを減らすがあるいはその材料の誘電率を変更することである。今日までのデバイスと製造プロセスの設計者は、ゲート間誘電体層の厚さが小さくなるにつれて、リーク電流および電気的な欠陥問題が増加すると認識している。かくして、使用されている誘電体材料の品質は重要なことである。低欠陥および低表面状態密度(surface state density)のシリコン技術で、今日まで開発された高品質の材料はSiO<sub>2</sub>である。このSiO<sub>2</sub>の重要な利点は、下のポリゲートから成長できることである。成長で形成された酸化物は、堆積で形成された材料よりも欠陥(例ピンホール)が少なくなる傾向にある。このため、SiO<sub>2</sub>は多くのシリコンデバイス構造体における、誘電体材料の主要な選択肢である。

【0004】SiO<sub>2</sub>が誘電体材料として幅広く用いられているが、フローティングゲートのキャパシタンスを増加させるための、ある種の努力が新たに開発された誘電体材料に向けられている。Ta<sub>2</sub>O<sub>5</sub>を誘電体材料としてMOSFET用に用いることが提案されている(これに関してはYouchi Moniyama et al 著の"Ultra-Thin Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub> Gate Insulator with TiN Gate Technology for 0.1μm MOSFETs", 1997 Symposium on VLSI Technology Digest of Technical Papers, pp.135, 136を参照のこと)。この材料は、DRAM構造体内の積層キャパ

4

シタ用とトレンチキャパシタ用に提案されている(これに関してはTomonori Aoyama et al 著の"Leakage Current Mechanism of Amorphous and Polycrystalline Ta<sub>2</sub>O<sub>5</sub> Films Grown by Chemical Vapor Deposition", J. Electrochem. Soc., Vol.143, No.3, pp.977-983, March 1996.を参照のこと)。

【0005】フラッシュメモリ用に新たな誘電体材料を開発する努力もまた報告されている。これに関しては、W-H Lee et al 著の"A Novel High K Inter-Poly Dielectric(IPD), Al<sub>2</sub>O<sub>3</sub> for Low Voltage/High Speed Flash Memories:Erasing in ms at 3.3V", 1997 Symposium on VLSI Technology Digest of Technical Papers, pp.117, 118を参照のこと。この提案の要旨は、フラッシュメモリの制御ゲートとフローティングゲートとの間の誘電体層の材料として、SiO<sub>2</sub>をAl<sub>2</sub>O<sub>3</sub>で置き換えることである。アルミナの誘電率は、SiO<sub>2</sub>のその約2倍あり、このため、ポリシリコン製の制御ゲートとポリシリコン製のフローティングゲートとの間のキャパシタンスを大幅に改善することができる。

【0006】これらの提案の多くは有望であるが、これらのデバイスにおける問題は多層構造体における誘電体のインタフェースにおける品質である。記憶用デバイスの寸法が小さくなるにつれて動作パワーのレベルもまた低減し、バイナリービットストリームにおける1または0を表す電荷の量もまた減少している。データビット状態間においては比較的少数の電荷が消滅するだけであるが、インタフェースの欠陥における再結合を介して電荷が大幅に失われることにより、デバイスのSN比が許容できない程度まで下がってしまう。このため、レベル間の誘電体層の誘電体の構造を変更することにより、新たな利点を理論的には達成でき、実際にこれらの新たな構造体を形成するのに用いられる製造プロセスは、これらの理論的な利点を実現するために重要である。

【0007】

【発明が解決しようとする課題】従って本発明の目的は、ゲート構造体を構成する誘電体材料の材料とその製造方法を変更することにより積層のゲート構造体の特性を改善することである。

【0008】

【課題を解決するための手段】本発明により、ポリシリコン製のゲートを有するフラッシュメモリデバイスに特に適した誘電特性を有する新たなフローティングゲート構造体を提供できる。本発明によるゲート構造体は、少なくとも3層からなる合成物である。SiO<sub>2</sub>の第1のインタフェース層が最下部のポリゲートインタフェースで用いられ、高品質の電気的インタフェースを提供する。このSiO<sub>2</sub>層は一般的にはピンホールおよびリークの問題の発生を抑ええる程度に薄い。すなわちゲート誘電体としては不十分であると見なされる程度である。このSiO<sub>2</sub>インタフェース層を高いKのTa<sub>2</sub>O<sub>5</sub>の層

(4)

特開平11-260938

5

と、SiO<sub>2</sub>製の薄いキャッピング層でもってカバーしている。積層構造の誘電体の厚さは、従来技術にかかるSiO<sub>2</sub>ゲート間誘電体の最速の厚さよりも厚いものであるが、合成誘電率のK全体は従来技術以下である。集積化プロセスとSiO<sub>2</sub>に匹敵する欠陥を有するが、より高いKを有するより厚いゲート間誘電体を使用することにより、フラッシュメモリの大幅な技術的進歩が計られる。この構造体を形成するのに用いられる製造プロセスは、高品質のインタフェースを提供でき、これによりインタフェースにおける欠陥サイトの数を最小化でき、

【0009】

$$V_{FG} = \frac{C_{GD} \times V_D}{C_{GD} + C_{GS} + C_{FG} + C_{CG}} + \frac{C_{CG} \times V_{CG}}{C_{GD} + C_{GS} + C_{FG} + C_{CG}}$$

C<sub>GD</sub>は、フローティングゲートとドレインとの間のキャパシタンスであり、V<sub>D</sub>はドレイン電圧で、C<sub>GS</sub>はフローティングゲートとソースとの間のキャパシタンスであり、C<sub>FG</sub>はフローティングゲートと基板との間のキャパシタンスであり、C<sub>CG</sub>はフローティングゲートと制御ゲートとの間のキャパシタンスであり、V<sub>CG</sub>は制御ゲート電圧である。

【0011】制御ゲートとフローティングゲートとの間の結合は高いことが望ましく、そのため、式(1)のC<sub>CG</sub>の項は大きくなければならない。このキャパシタンスは、式(2)で決められる。

【数2】

$$C_{CG} \approx \frac{\epsilon_f}{t_1} \times A$$

ここで、ε<sub>f</sub>はゲート間の絶縁層の誘電率であり、t<sub>1</sub>は絶縁層の厚さであり、Aがゲートの面積である。

【0012】最新のデバイス技術においては、ゲート間の誘電層の厚さt<sub>1</sub>は一般的に最適化されている。すなわち実際にはこれ以上小さくはならない。従って残された選択肢はゲート間材料の誘電率を増加させることだけである。

【0013】一般的に使用されている絶縁物はSiO<sub>2</sub>よりも高い誘電率を有する、多くの絶縁材料が入手可能である。SiO<sub>2</sub>の誘電率ε<sub>i</sub>は、3.9である。別の候補としてはTa<sub>2</sub>O<sub>5</sub>が魅力的でありその誘電率ε<sub>i</sub>は25である。しかしTa<sub>2</sub>O<sub>5</sub>は障壁高さが低いためフローティングゲートのデバイスには適していないが、他のMOSデバイスには提案されている。絶縁材料の特性と品質に関する要求は特にフローティングゲート構造体に対しては高い。

【0014】本発明によるゲート間合成誘電体構造を用いて上記のインタフェースの問題を解決している。第1のゲート誘電体層すなわちフローティングゲートとシリコン基板との間の誘電体層は従来のゲート誘電体層であ

6

【発明の実施の形態】図1には、シリコン製基板11とソース13とドレイン14を含むフラッシュメモリデバイスの本質的な要素が示されている。同図にはnチャネルデバイスに用いられるn型領域が示されているが、CMOSデバイスではp型領域も使用する。同図にはフィールド酸化物12とゲート構造体15も示されている。

【0010】図1のゲート構造体15の詳細を図2に示す。重要なパラメータは図2に示されており以下に示すような関係がある。フローティングゲートの電圧は式1に示す通りである。

【数1】

り、これはプログラミング中に基板からキャリアのトンネル現象を引き起こす程度に薄いものである。ポリシリコン製のフローティングゲートとポリシリコン製の制御ゲートとの間のゲート間誘電体層を本発明により生成するが、これには、50Å以下(好ましくは10~30Åの範囲内)の厚さの第1のSiO<sub>2</sub>層がポリシリコン製フローティングゲートの上に成長プロセスで形成する。この層はポリシリコンと適合可能なインタフェースを与え、かつバンドギャップが高いために電流のリークに対して効果的なバリアを提供できる。より厚いTa<sub>2</sub>O<sub>5</sub>の層がこの第1のSiO<sub>2</sub>層の上に堆積され、このTa<sub>2</sub>O<sub>5</sub>層の上にSiO<sub>2</sub>製のキャッピング層が堆積される。このTa<sub>2</sub>O<sub>5</sub>層は、誘電特性を改良し、第1のSiO<sub>2</sub>層はポリシリコン製フローティングゲートとの間で高品質のインタフェースを与えるために形成されている。SiO<sub>2</sub>製のキャッピング層は制御ゲートとの高品質のインタフェースを与える。このSiO<sub>2</sub>製のキャッピング層は堆積プロセスにより形成されるが、後のアニール処理の間、多層構造の積層体が形成された後、ポリシリコン-SiO<sub>2</sub>のインタフェースの両方で若干成長が行われ、その結果SiO<sub>2</sub>製のキャッピング層とポリシリコン製の制御ゲートとの間のインタフェースの形態と電気的特性は、成長プロセスで形成された高品質の酸化物のそれに類似する。

【0015】Ta<sub>2</sub>O<sub>5</sub>の層の厚さは通常30~100Åの範囲内である。SiO<sub>2</sub>製のキャッピング層の推奨すべき厚さは5~30Åである。この3層の合成誘電物の推奨すべき全体の厚さは45~150Åの範囲内であり、さらに好ましくは45~100Åの範囲内である。

【0016】本発明による積層構造のゲート間誘電体合成物を図3に示す。このゲート構造体の全体は、フローティングゲート32と基板30との間に第1誘電体層31を有する。この第1誘電体層31は通常SiO<sub>2</sub>製で公知の技術により熱成長で形成されたものである。第1誘電体層31はプログラミング時に層を介して電子のト

(5)

特開平11-260938

7

ネル現象が行われる程度に薄いものである。電子はフローティングゲート32の上に蓄積される。ポリシリコン製のフローティングゲート32と、ポリシリコン製の制御ゲート33との間のゲート間誘電体層が34で示されており、これは、第1SiO<sub>2</sub>層35とTa<sub>2</sub>O<sub>5</sub>層36と第2SiO<sub>2</sub>層37の積層誘電体構造である。

【0017】別の合成層のゲート構造体を図4に示す。フローティングゲート32上の初期層41は上述したように成長プロセスで形成されたSiO<sub>2</sub>である。この初期層41の上にTa<sub>2</sub>O<sub>5</sub>層42、SiO<sub>2</sub>堆積層43、Ta<sub>2</sub>O<sub>5</sub>層44、SiO<sub>2</sub>堆積層45が順に堆積で形成されている。この合成積層構造体の全体の厚さは、50～150Åの範囲内にある。個々の層の厚さは通常10～50Åの範囲内である。図4の多層構造体は、図3の構造体よりも若干複雑であるが、これらの層は同一の低圧真空装置内でLPCVDにより形成され、構造体で用いられる層の数は処理の回数およびコストの点から重要なことではない。

【0018】本発明による多層構造のゲート間誘電体構造物を形成する好ましい技術は、LPCVDである。通常のプロセスシーケンスを図5に示す。シリコン製基板51の上に誘電体層52、制御ゲート53が形成されている。この制御ゲート53の材料はここではポリシリコンとして示しているが、一般的には制御ゲート53がほぼ結晶形態を有していることを意味している。しかし、アモルファスシリコンも利用可能であり結晶性の程度は本発明にはさほど重要ではない。従って、本明細書および特許請求の範囲においては、ゲート材料はシリコンとしているが、それはアモルファスシリコンまたはポリシリコンのいずれをもカバーするものである。

【0019】図5に示されたシーケンスにおいて、ゲート間誘電体層を形成する第1ステップはSiO<sub>2</sub>製の薄膜層54を成長させることである。好ましい成長方法は、LPCVDリアクター内での低圧反応によって行われる。この推奨成長温度は700～950℃で好ましくは800～900℃であり、推奨圧力は0.7～1.0mTorrの範囲で好ましくは0.8～0.9mTorrの範囲である。

【0020】図5に示される第2ステップは、Ta<sub>2</sub>O<sub>5</sub>層55をLPCVDで堆積することである。推奨温度は300～500℃の範囲内で好ましくは375～430℃内の範囲である。推奨圧力は50～200mTorrの範囲内で好ましくは約75～150mTorrの範囲内である。CVD堆積のプレカーサは従来公知のもので、例えば、Ta(OC<sub>2</sub>H<sub>5</sub>)と、アルゴンキャリアガス内のO<sub>2</sub>である。通常の堆積速度は、30～100Å/分である。

【0021】薄いSiO<sub>2</sub>キャッピング層56が、LPCVDにより500～750℃の温度範囲で好ましくは600～700℃の温度範囲で150～350mTorr好

8

ましくは200～300mTorrの範囲の圧力でもって堆積プロセスで形成される。この堆積に適切なプリカーサ材料はTEOSとO<sub>2</sub>である。

【0022】多層ゲート誘電体構造物が形成された後ポストアニール処理を行い、SiO<sub>2</sub>を高密度化し層内の応力を解消させる。このステップはSiO<sub>2</sub>の成長と同様な条件で行われるが温度はそれよりも低い。このポストアニール処理の間ポリシリコン製の層とSiO<sub>2</sub>の層との間のインターフェースの電気的特性が改善される。このポストアニール処理の推奨温度は550～750℃の範囲内で好ましくは600～700℃の範囲内である。このアニール処理は前のステップで用いられたのと同じ温度で行うのが好ましい。この推奨圧力は0.7～1.1Torrで好ましくは0.8～1.0Torrの範囲内である。アニール処理の雰囲気はO<sub>2</sub>またはN<sub>2</sub>Oであり、アニール時間は15～100分の範囲内である。アニール処理時間を短くするには推奨温度範囲の高温側で行うのがよい。

【0023】図5に示された4回のステップは、インシチュ(in situ)で順番に実行されるのが好ましい。インシチュとはステップの間基板を除去せずに好ましくは真空を破らずに同一の低圧リアクター内でプロセスが行われることを意味する。各ステップの適切なプロセス条件はLPCVDリアクター内での圧力と温度を調整し、リアクター内で従来この種の装置に付属した適当な入口バルブにより、雰囲気構成を変更させるだけで行う。このインシチュの技術は、他の従来技術に比較して得られる優れた結果の原因の一部であると考えられる。

【0024】ゲート積層構造体を形成し、ポストアニール処理の後100～500Wで50KHzのグロー放電を用いて、350～450℃で10～30分のプラズマ処理を行い、誘電体のリーク電流をさらに低減させるのが好ましい。この処理の好ましい条件は、400℃400Wで15分である。

【0025】その後、シリコン製の制御ゲートを公知の技術例えばCVD蒸着等により堆積してMOSメモリデバイスの製造を完了する。

【0026】SiO<sub>2</sub>-Ta<sub>2</sub>O<sub>5</sub>-SiO<sub>2</sub>のゲート間合成誘電体層を有するMOSデバイスがそのプロセスの有効性と得られた構造体を示すために本発明により形成された。このプロセス条件は図5に示されたとおりである。この誘電体層の電気的特性は非接触でコロナー酸化物-半導体測定技術を用いて測定された、この技術はP.K.Roy et al 著の Electrochem.Soc.Ext.Abst.,478(1997)と、R.Williams et al 著の J.Appl.Phys.44,1026(1973)と、R.L.Verkuil et al 著の Electrochem.Soc.Ext.Abst.88-1,261(1988)と、T.G.Miller 著の Semiconductor International 18(7),211(1995)と、M.S.Fung 著の Semiconductor International 20(8),211(1997)と、G.Horner et al 著の Solid State Technology,38,

(6)

特開平11-260938

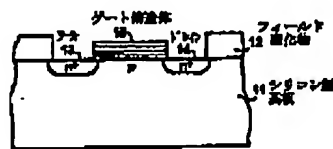
9

79(1995)に記載されている。このコロナー酸化物-半導体技術は、電荷堆積 ( $\Delta Q$ ) と非接触表面電圧 ( $V_s$ ) 測定と表面光電圧 (SPV) の組合せを用い、低周波キャパシタンス-電圧 (C-V) 測定に類似した疑似静的スイープを形成する。この薄い誘電体物の特性評価技術はMOSキャパシタの従来のC-V特性評価技術よりも単純であるが、その理由はポリシリコンのディプレッション効果とプローブのパンチスルーがないからである。

【0027】誘電体層の厚さ ( $t_{eff}$ ) は、蓄積過程の  $Q-V_s$ カーブの傾斜から得られる。 $SiO_2-Ta_2O_5-SiO_2$  積層体と、 $\rho = 6.2 \times 10^{15} \Omega cm$  の誘電体抵抗率の取り出された有効ゲート間誘電体層の厚さは、同一のスイープ (強蓄積過程内で) を用いて決定される。インタフェーストラップ電荷の密度  $D_{it}$  は、ベルグランド法 (Berglund method) を用いて測定した、および理論的な  $Q-V_s$ カーブの疑似静的解析から予測される (C.N.Berglund 著の IEEE Trans. Electron Devices, ED-31, 701(1966) を参照のこと)。積層した  $SiO_2-Ta_2O_5-SiO_2$  構造と、シリコン上に熱的成長により形成された  $SiO_2$  の両方の  $D_{it} = 1-3 \times 10^{11} eV^{-1} cm^{-2}$  の計算値が一般的である。インタフェーストラップチャージ  $D_{it}$  は、サンプルを形成ガス ( $H_2/N_2$ ) 雰囲気中で低温 ( $400 \sim 450^\circ C$ ) でアニールした後は大幅に低減される (これに関しては、E.H.Nicollian et al 著の (Metal Oxide Semiconductor) Physics and Technology と、John Wiley and Sons, New York(1982) を参照のこと)。誘電体層を介して流れる高電界の酸化物リーク電流は高いバイアスの電荷密度 ( $10^{-1} C/cm^2$ ) をかけてトンネル現象を誘起させることにより測定できる。酸化物を通過するキャリアのトンネル現象によりクランプされた最大表面電圧 ( $V_{s,max}$ ) は、トンネル電圧 ( $V_{tunnel}$ ) に等しい。このトンネル現象電圧は、CMOS集積回路動作 (供給) 電圧の上限を表す。

【0028】これらの測定結果により、SPV対  $V_s$  のプロット中には、大きなヒステシスは存在せず、それに

【図1】



10

より従来技術の合成 (積層) MOS誘電体構造に固有の電荷トラップ問題は本発明により解決していることを示している。

【図面の簡単な説明】

【図1】一般的なフラッシュメモリデバイスを表す断面図。

【図2】図1のフローティングゲート構造体の部分拡大図。

【図3】図2に類似するが、本発明のゲート構造体を表す断面図。

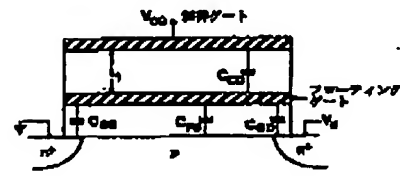
【図4】図2に類似するが、本発明のゲート構造体を表す断面図。

【図5】本発明による製造ステップを表す図。

【符号の説明】

- 11 シリコン製基板
- 12 フィールド酸化物
- 13 ソース
- 14 ドレイン
- 15 ゲート構造体
- 30 基板
- 31 第1誘電体層
- 32 フローティングゲート
- 33 制御ゲート
- 34 ゲート間誘電体層
- 35 第1  $SiO_2$  層
- 36  $Ta_2O_5$  層
- 37 第2  $SiO_2$  層
- 41 初期層
- 42、44  $Ta_2O_5$  層
- 43、45  $SiO_2$  堆積層
- 51 シリコン製基板
- 52 誘電体層
- 53 制御ゲート
- 54  $SiO_2$  薄膜層
- 55  $Ta_2O_5$  層
- 56  $SiO_2$  キャッピング層

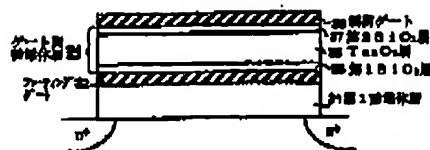
【図2】



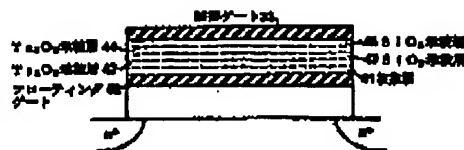
(7)

特開平11-260938

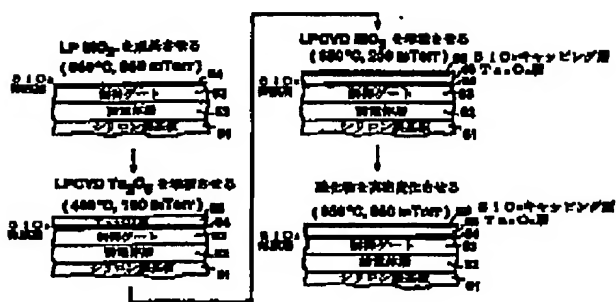
【図3】



【図4】



【図5】



フロントページの続き

(71)出願人 596077259  
600 Mountain Avenue,  
Murray Hill, New Je  
rsey 07974-0636 U. S. A.

(72)発明者 イジック シー、キジルヤリー  
アメリカ合衆国、32819 フロリダ、オル  
ランド、ダブルトレイス レイン 6535  
(72)発明者 ブラディップ カマー ロイ  
アメリカ合衆国、32819 フロリダ、オル  
ランド、ヒドゥン アイヴエイ コート  
7706